

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2003年 2月 18日

出願番号

Application Number: 特願 2003-040333

[ ST.10/C ]:

[ JP 2003-040333 ]

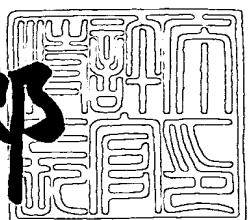
出願人

Applicant(s): 沖電気工業株式会社

2003年 6月 26日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特 2003-3050484

【書類名】 特許願

【整理番号】 KT000486

【提出日】 平成15年 2月18日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

【氏名】 小林 元樹

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

【氏名】 市川 文雄

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100095957

【弁理士】

【氏名又は名称】 亀谷 美明

【電話番号】 03-5919-3808

【選任した代理人】

【識別番号】 100096389

【弁理士】

【氏名又は名称】 金本 哲男

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100101557

【弁理士】

【氏名又は名称】 萩原 康司

【電話番号】 03-3226-6631

【手数料の表示】

【予納台帳番号】 040224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707549

【包括委任状番号】 9707550

【包括委任状番号】 9707551

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置および半導体装置の製造方法

【特許請求の範囲】

【請求項1】 支持基板上に絶縁層を介して形成され、かつ複数の素子が形成されるS O I層を有する半導体装置において、

前記S O I層に形成される前記複数の素子のうち誘電損失を制御したいターゲット素子の下部に位置する前記支持基板に選択的に形成される溝を備えることを特徴とする、半導体装置。

【請求項2】 前記溝は前記絶縁層の裏面が露出するように形成されることを特徴とする、請求項1に記載の半導体装置。

【請求項3】 前記複数の素子はアナログ素子であることを特徴とする、請求項1または2に記載の半導体装置。

【請求項4】 前記アナログ素子は、インダクタであることを特徴とする、請求項3に記載の半導体装置。

【請求項5】 前記支持基板はシリコン基板またはサファイア基板のうち選ばれたものとすることを特徴とする、請求項1, 2, 3, または4に記載の半導体装置。

【請求項6】 支持基板上に絶縁層を介して形成され、かつ複数のアナログ素子が形成されるS O I層を有する半導体装置において、

前記S O I層に形成される前記複数のアナログ素子のうちの1または2以上のターゲット素子の下部に位置する前記支持基板に選択的に形成される溝を備えることを特徴とする、半導体装置。

【請求項7】 前記溝は前記絶縁層の裏面が露出するように形成されることを特徴とする、請求項6に記載の半導体装置。

【請求項8】 前記1または2以上のターゲット素子はインダクタであることを特徴とする、請求項6または7に記載の半導体装置。

【請求項9】 前記1または2以上のターゲット素子は、前記複数のアナログ素子のうち誘電損失を制御したいものであることを特徴とする、請求項6, 7, または8に記載の半導体装置。

【請求項10】 前記支持基板はシリコン基板またはサファイア基板のうち選ばれたものとすることを特徴とする、請求項6, 7, 8, または9に記載の半導体装置。

【請求項11】 支持基板上に絶縁層を介して形成され、かつ複数の素子が形成されるS O I層を有する半導体装置の製造方法であって、

前記S O I層に形成される前記複数の素子の中から、誘電損失を制御したい1または2以上のターゲット素子を選択する工程と、

前記支持基板に対して、前記選択された1または2以上のターゲット素子の下部に位置する範囲に選択的に溝を形成する工程と、  
を含むことを特徴とする、半導体装置の製造方法。

【請求項12】 前記溝は前記絶縁層の裏面が露出するように形成されることを特徴とする、請求項11に記載の半導体装置の製造方法。

【請求項13】 前記複数の素子はアナログ素子であることを特徴とする、請求項11または12に記載の半導体装置の製造方法。

【請求項14】 前記アナログ素子は、インダクタであることを特徴とする、請求項13に記載の半導体装置の製造方法。

【請求項15】 前記支持基板はシリコン基板またはサファイア基板のうち選ばれたものとすることを特徴とする、請求項11, 12, 13, または14に記載の半導体装置の製造方法。

【請求項16】 支持基板上に絶縁層を介して形成され、かつ複数のアナログ素子が形成されるS O I層を有する半導体装置の製造方法であって、

前記S O I層に形成される前記複数のアナログ素子の中から、誘電損失を制御したい1または2以上のターゲット素子を選択する工程と、

前記支持基板に対して、前記1または2以上のターゲット素子の下部に位置する範囲に選択的に溝を形成する工程と、  
を含むことを特徴とする、半導体装置の製造方法。

【請求項17】 前記溝は前記絶縁層の裏面が露出するように形成されることを特徴とする、請求項16に記載の半導体装置の製造方法。

【請求項18】 前記1または2以上のターゲット素子はインダクタである

ことを特徴とする、請求項16または17に記載の半導体装置の製造方法。

【請求項19】 前記1または2以上のターゲット素子は、前記複数のアナログ素子のうち誘電損失を制御したいものであることを特徴とする、請求項16, 17, または18に記載の半導体装置の製造方法。

【請求項20】 前記支持基板はシリコン基板またはサファイア基板のうち選ばれたものとすることを特徴とする、請求項16, 17, 18, または19に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置および半導体装置の製造方法に関するものである。

【0002】

【従来の技術】

現在、半導体装置の低消費電力化と高速動作性を実現する技術の一つとして、絶縁層上にシリコン層を形成し、このシリコン膜上にトランジスタ等の素子を形成していくSOI (Silicon On Insulator) 技術への期待が高まり、SOI技術の製品への導入も盛んになってきている。この絶縁膜は支持基板上に形成されるものであり、BOX (Buried Oxide) 層と称される。また、BOX層の上に形成されるシリコン膜はSOI層と称される。SOI技術を用いて半導体基板(SOI基板)を構成した場合、通常のシリコン基板(バルク型基板)に比べて、消費電力の大幅な低減が実現する。加えて、SOI基板は、良好な高周波数特性を有しているため、例えば、高周波帯域の信号を扱うアナログ回路あるいはアナログ・ディジタル混載回路が形成される半導体装置に広く採用されつつある。

【0003】

SOI技術を適用することによって、高周波回路において従来問題となっていた基板の寄生容量に関してある程度の改善がみられるものの、今日では伝送信号の周波数帯域がギガヘルツ(GHz)オーダに達するケースも多く、この場合には基板に起因する素子の誘電損失の低減がより一層強く要求される。

【0004】

下記の文献には、S O I層を有する半導体装置において基板と素子（インダクタ）と間の寄生容量を低減するための技術が開示されている。

【0005】

【特許文献1】

特開平9-270515号公報

【0006】

この特許文献1に記載の半導体装置によれば、B O X層の上に、S O I層と素子分離酸化膜が形成される。そして、この素子分離酸化膜の上にインダクタが配置される。この素子分離酸化膜は、寄生容量が小さいため素子に対して誘電損失を生じさせない上、基板によるインダクタの誘電損失を緩和する役割をも果たす。

【0007】

【発明が解決しようとする課題】

しかしながら、従来の技術によれば、誘電損失を低減すべき素子を、素子分離酸化膜のような所定の膜の上に形成する必要があり、誘電損失低減の対象となる素子のレイアウトや素子数、素子の種類に制限が課せられることになる。また、素子分離酸化膜を厚く形成すれば、素子の誘電損失の低減効果が大きくなるものの、その程度によっては素子分離酸化膜が形成される領域と他の領域に段差が生じてしまい、後の製造工程に支障を来たすおそれがある。

【0008】

本発明は、上記のような問題点に鑑みてなされたものであり、その目的は、例えば素子分離酸化膜のような寄生容量の小さい膜に依存することなく、S O I層に形成された素子の誘電損失をより低減させることが可能な新規かつ改良された半導体装置およびその製造方法を提供することにある。

【0009】

【課題を解決するための手段】

上記課題を解決するために、本発明の第1の観点によれば、支持基板上に絶縁層を介して形成され、かつ複数の素子が形成されるS O I層を有する半導体装置

が提供される。この半導体装置は、S O I層に形成される複数の素子のうち誘電損失を制御したいターゲット素子の下部に位置する支持基板に選択的に形成される溝を備えることを特徴としている。支持基板のうち、ターゲット素子の下部に位置する範囲に溝が形成されると、ターゲット素子の下部に誘電率の高い支持基板が存在しなくなる。または、ターゲット素子の下部において支持基板が局所的に薄くなる。この結果、ターゲット素子の誘電損失が低減する。

#### 【0010】

本発明の第2の観点によれば、支持基板上に絶縁層を介して形成され、かつ複数の素子が属するS O I層を有する半導体装置の製造方法が提供される。この半導体装置の製造方法は、S O I層に形成される複数の素子の中から、誘電損失を制御したい1または2以上のターゲット素子を選択する工程と、支持基板に対して、選択された1または2以上のターゲット素子の下部に位置する範囲に選択的に溝を形成する工程と、を含むことを特徴としている。かかる製造方法によれば、支持基板のうち、ターゲット素子の下部に位置する範囲に溝が形成され、ターゲット素子の下部に誘電率の高い支持基板が存在しなくなる。または、ターゲット素子の下部において支持基板が局所的に薄くなる。この結果、S O I層に形成される複数の素子の中から、誘電損失を低減する必要のあるターゲット素子に対して選択的に誘電損失の低減を図ることが可能となる。

#### 【0011】

##### 【発明の実施の形態】

以下に添付図面を参照しながら、本発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態について詳細に説明する。なお、以下の説明および添付された図面において、略同一の機能および構成を有する要素については、同一符号を付することによって重複説明を省略する。

#### 【0012】

図1は、本実施の形態にかかる半導体装置100の構造を示す平面図であり、図2は、図1の半導体装置100のA-A'断面図である。

#### 【0013】

半導体装置100は、トランジスタや各種アナログ素子に代表される複数の素

子を備えている。各素子は機能毎にグループ化され、図1に示すように、機能素子ブロックFB1～FB6を構成する。例えば、機能素子ブロックFB1を高周波回路ブロックに、機能素子ブロックFB2をディジタル信号処理回路ブロックに、機能ブロックFB3を電源回路ブロックにそれぞれ割り当てることが可能であり、その組み合わせは多岐にわたる。半導体装置100の上面周縁部には、外部との間で電気信号を入出力するための複数のボンディングパッドBPが配置されている。

#### 【0014】

次に、図2を用いて、半導体装置100の内部構造について説明する。SOI技術が採用された本実施の形態にかかる半導体装置100は、支持基板1の上に、絶縁層であるBOX層3を備え、さらにBOX層3の上にシリコンから成るSOI層5aを備えている。SOI層5aには、トランジスタ、キャパシタ、インダクタ、抵抗素子等の各種素子が形成される。また、BOX層3の上には素子分離層4が形成されており、各素子が形成される領域は、素子分離層4によって、隣接する他の領域から電気的に分離される。すなわち、各素子は、電気的絶縁性の高いBOX層3および素子分離層4に囲まれることになる。かかる構成によつて、支持基板1や周辺領域から各素子に及ぶ電気的影響が緩和され、各素子の動作が安定化する。

#### 【0015】

BOX層3上に形成されたSOI層5a、さらにSOI層5aに形成された複数の素子は、半導体装置100における第1層目の素子形成層5-1を構成する。この素子形成層5-1の上には、複数の素子が形成された第2層目の素子形成層5-2、第3層目の素子形成層5-3が順次積層されている。このように、本実施の形態にかかる半導体装置100は、複数の素子形成層から構成された素子形成層群5、換言すれば積層構造を有している。積層構造の最上部、すなわち半導体装置100の表面部には、図2に示したように複数の配線WLが形成されている他、図1に示したように複数のボンディングパッドBPが配置されている（図2には図示せず）。そして、半導体装置100の表面は、ボンディングパッドBPが形成されている領域を除き、防湿性に優れたパッシベーション膜9によつ

て覆われている。なお、素子形成層の積層数は図2に示したものに限らず、半導体装置の仕様に応じて増減する。

## 【0016】

支持基板1として、ここでは例えばシリコン基板が用いられる。BOX層3は、支持基板1の表面を酸化する方法、あるいは別途製造された絶縁膜を支持基板1に張り合わせる方法などを用いて形成される。BOX層3は、高い絶縁性を有しており、上部に形成される素子と支持基板1との間に発生する寄生容量を抑えることができる。このBOX層3の機能によって、半導体装置100の省電力化や高速化が可能となる。

## 【0017】

素子形成層群5を構成する複数の素子形成層5-1～5-3は相互に、絶縁膜5b, 5c, 5dによって電気的に分離されている。上述のように、各素子形成層5-1～5-3には、トランジスタ、キャパシタ、インダクタ、抵抗素子等の各種素子が形成され、さらにこれらの素子を電気的に接続する配線WLが形成されている。図2において、機能素子ブロックFB1には各種素子の代表としてトランジス6aのみが示されているが実際にはその他の素子も複数形成されている。同様に、機能素子ブロックFB2にも、トランジスタを含む複数の各種素子6bが形成されている。

## 【0018】

各素子形成層5-1～5-3に形成されているトランジス6a等の各種素子および配線WLは、バイアホールVHによって電気的に所定のパターンで連結されている。トランジスタ6aは、バイアホールVHとの接続個所にシリサイド7を備えている。このシリサイド7によって、バイアホールVH内の金属とトランジスタ6aを構成する半導体との接触抵抗の低減が図られる。トランジスタ6a以外の素子もその構成および機能に応じて、バイアホールVH内の金属との接触抵抗を低減させるシリサイド7を備えることが好ましい。

## 【0019】

以上説明したように、SOI層5aに形成されたトランジスタ6aをはじめとする各素子は、絶縁層としてのBOX層3の存在によって、支持基板1から電気

的に絶縁され、支持基板1と各素子との間の寄生容量が低減される。

#### 【0020】

しかし、機能素子FB1～FB6のうち、例えば機能素子ブロックFB1が高周波回路ブロックに該当する場合、機能素子ブロックFB1に属する各素子の動作を高周波帯域の信号に追従させるためには、各素子の誘電損失をより一層低減させることが好ましい。この点、本実施の形態にかかる半導体装置100によれば、図2および図3に示すように、支持基板1が溝Gを有しており、この溝Gが各素子の誘電損失低減に寄与する。溝Gについては以下で詳細に説明する。

#### 【0021】

図3は、半導体装置100を裏面側から見た場合の斜視図である。所定の領域における支持基板1の厚みを他の領域よりも薄くすることによって、あるいは支持基板1の所定の領域にシリコン結晶が完全に存在しない状態とすることによって、溝Gが創出される。後者の場合、溝Gにおいて、BOX層3の裏面が露出することになる。

#### 【0022】

この溝Gは、支持基板1による誘電損失が想定される素子の下部、好ましくは直下に位置するように形成される。以下、誘電損失が想定され、その誘電損失を低減方向に制御する必要のある素子を「ターゲット素子」と称する。ターゲット素子の代表例として、高周波回路を構成するインダクタ等のアナログ素子が挙げられる。半導体装置100では機能素子ブロックFB1が複数のターゲット素子から成る高周波回路ブロックであるため、溝Gがこの機能素子ブロックFB1の下部に位置するように、その大きさや位置が調整される。

#### 【0023】

溝Gには、誘電体としてのシリコン結晶が薄くしか存在しないか、あるいは全く存在しないため、その上に位置するターゲット素子の誘電損失は極めて小さなものとなる。このターゲット素子が高周波回路の構成要素であるならば、高周波回路は、高周波信号の処理に関して、高い応答性や安定性を発揮することになる。

#### 【0024】

また、溝Gは、支持基板1の裏面側に形成されるものであるため、例えば、支持基板1上に対する製造工程がすべて完了した後にでも溝Gを形成することが可能である。しかも一般的に、支持基板1の裏面には溝Gの形成に障害となる部位が存在しない。このため、誘電損失を低減すべきターゲット素子が半導体装置100のどの位置にあっても、当該ターゲット素子の位置にあわせて溝Gを形成することは容易である。つまり、半導体装置100によれば、ターゲット素子の形成位置に制限を受けることなく、当該ターゲット素子の誘電損失を低減させることができ可能となる。

#### 【0025】

ところで、誘電損失を低減すべきターゲット素子が装置全体に散在している場合、溝Gの形成範囲も拡がってしまう。この場合であっても、少なくともボンディングパッドB Pの直下には溝Gが位置しないようにすることが好ましい。ボンディングパッドB Pへのワイヤボンディングは、半導体装置に対して機械的な応力が最も大きくかかる処理である。この点、ボンディングパッドP Bの下方に支持基板1を置く（溝Gを形成しない）ことによって、ワイヤボンディング処理による装置破損といった事態は回避される。

#### 【0026】

次に本実施の形態にかかる半導体装置100の製造方法について、図1～図5を用いて説明する。

#### 【0027】

支持基板1に対してBOX層3とSOI層5aを順次積層されて成るSOI基板を用意し、SOI層5aに対して不純物を注入する工程、熱処理を行う工程、SOI層5aの上に各種素子を形成するための薄膜を成長させる工程、およびフォト・リソグラフィ法を用いて部分的に薄膜を除去する工程等を実施し、1層目の素子形成層5-1の回路を形成する。この後、同様の工程を繰り返し、2層目以降を順次形成していく。各層の間には、各層を電気的に分離するため、絶縁膜5b、5c、5dを成長させる。この結果、図2に示した素子形成層群5が出来上がる。なお、素子形成層群5の製造に関しては、一般的な半導体製造プロセスの適用が可能であり、ここではその詳細な説明を省略する。

## 【0028】

次に、図4に示すように、支持基板1の露出面（半導体装置100の裏面）にエッティングマスク11を形成する。このエッティングマスク11のパターニングについては、フォト・リソグラフィ法を用いることが好ましいが、予めパターニングされたマスク部材を支持基板1の表面に貼り付けることによってエッティングマスク11を形成することも可能である。

## 【0029】

エッティングマスク11の構成材料として、レジストに代表される有機系のもの、または、酸化シリコン等の無機系のもの、いずれの採用も可能である。

## 【0030】

次に、図5に示すように、エッティングマスク11に覆われていない範囲の支持基板1の全てまたは一部を除去する。この結果、溝Gが形成される。溝Gが形成される範囲の支持基板1が全て除去された場合には、溝Gの底部にBOX層3が露出し、支持基板1の一部のみが除去された場合には、溝Gの底部に支持基板1が薄く残ることになる。この工程では、ドライエッティング法またはウエットエッティング法を用いる。要求されるエッティング加工精度、半導体装置100を構成する材料、半導体製造装置の仕様等に応じてどちらかのエッティング法が選択される。

## 【0031】

プラズマを用いるドライエッティング法によれば、高い加工精度が得られる。支持基板1の一部を除去するにあたり、除去範囲を厳密に制御する必要がある場合は、このドライエッティング法が採用される。ドライエッティング法の中でも、ここではSF<sub>6</sub>ガスをベースとしたRIE (Reactive Ion Etching) 法が用いられる。そして、高密度プラズマソースを使用することによって、高い速度（例えば10 μm/min）でシリコンがエッティングされる。さらに、このエッティング法によれば、シリコン酸化膜のエッティング速度が、シリコン膜のエッティング速度の1/100以下に抑えられる。したがって、図5に示したように、BOX層3を残しつつ、所定の範囲の支持基板1を除去することが可能となる。以下に、ドライエッティング条件の一例を示す。

## 【0032】

装置：アルカテル601E

ガス：SF<sub>6</sub> / C<sub>4</sub>F<sub>8</sub>

ガス圧力：数mTorr～数十mTorr

ソースパワー：1500W

## 【0033】

一方、ウェットエッティング法によれば、ドライエッティング法を用いた場合と同様に、図5に示したように、所定の範囲の支持基板1を除去することが可能となる。しかも、このウェットエッティング法によれば、シリコン酸化膜のエッティング速度が、シリコン膜のエッティング速度の1/1000以下に抑えられる。したがって、支持基板1の一部がエッティング除去されてBOX層3が露出した後、このBOX層3の露出面をほとんど削ることなくエッティング工程を終了させることができる。

## 【0034】

このウェットエッティング法において、水酸化カリウム(KOH)水溶液に代表されるアルカリ金属の水酸化物、または、エチレンジアミンとピロカテコールと水の混合液などが薬液として採用される。以下に、ウェットエッティング条件の一例を示す。

## 【0035】

薬液：KOH

薬液濃度：10%

薬液温度：65°C

## 【0036】

エッティングマスク11の形状、すなわち支持基板1における溝Gの形成位置については、素子形成層群5に形成された素子の中で、誘電損失を低減する必要のあるターゲット素子の位置に応じて決められる。当該ターゲット素子の下に位置する支持基板1をエッティング除去し、溝Gを形成することによって、支持基板1に起因する当該ターゲット素子の誘電損失を半導体装置100の仕様上無視できるレベルまで低減させることが可能となる。

## 【0037】

次に、複数の素子を有する半導体装置200の製造方法であって、複数の素子の中の、例えばインダクタなどのアナログ素子の誘電損失を低減させる場合の半導体装置200の製造方法を説明する。

## 【0038】

図6は、ターゲット素子であるインダクタ21を備えた半導体装置200を上方からみた平面図である。まず、インダクタ21を含む第1領域X1と、それ以外の第2領域X2を定義する。図7は、エッチングマスク31が設置された製造過程にある半導体装置200を下方からみた平面図である。この図7に示すように、支持基板1全体の中で、第2領域X2の下に位置する範囲のみを覆うエッチングマスク31を支持基板1の裏面上に形成する。次に、エッチングマスク31を用いて、支持基板1に対してエッチングを施す。以上の工程を経て、第1領域X1の下、すなわちインダクタ21の下に位置する範囲の支持基板1が除去され、その位置に溝Gが形成される。

## 【0039】

第1領域X1の下に溝Gが形成されると、ターゲット素子であるインダクタ21の誘電損失が低減し、その動作において、入力される高周波信号に追従する高速性および安定性が確保される。

## 【0040】

上でも説明したように、誘電損失の低減を図る必要があるターゲット素子が装置全体に広く分布している場合、溝Gの形成範囲も拡がってしまう。この場合は特に、溝Gの形成範囲を設定するに際し、誘電損失の低減と半導体装置の強度のバランスを考慮することが好ましい。あまり広い範囲に溝Gを形成したのでは、支持基板1の強度が低下するおそれがあるからである。少なくともボンディングパッドBPの直下には溝Gが位置しないようにすることが好ましい。半導体装置の製造工程の中でも、ボンディングパッドBPへのワイヤボンディングは、半導体装置の機械的な応力が最も大きくなる処理である。この点、ボンディングパッドPBの下方に支持基板1を置く（溝Gを形成しない）ことによって、ワイヤボンディング処理による装置破損といった事態は回避される。

## 【0041】

複数の素子を有する半導体装置300の製造方法であって、誘電損失を低減すべきターゲット素子が装置全体に散在している半導体装置300の製造方法を説明する。

## 【0042】

図8は、ボンディングパッドPBを備えた半導体装置300を上方からみた平面図である。まず、ボンディングパッドPBを含む第2領域Y2と、それ以外の第1領域Y1を定義する。図9は、エッチングマスク32が設置された製造過程にある半導体装置300を下方からみた平面図である。この図9に示すように、支持基板1全体の中で、第2領域X2の下に位置する範囲のみを覆うエッチングマスク32を支持基板1の裏面上に形成する。次に、エッチングマスク32を用いて、支持基板1に対してエッチングを施す。以上の工程を経て、第1領域Y1の下に位置する支持基板1が除去され、第2領域Y2の下、すなわちボンディングパッドPBの下に位置する範囲に支持基板1が残される。この結果、第1領域Y1に対応する位置に溝Gが形成される。

## 【0043】

第1領域Y1の下に溝Gが形成された半導体装置300によれば、広く分布する多くの素子の誘電損失を低減することが可能となる。加えて、半導体装置300の強度も保たれる。

## 【0044】

ところで、半導体装置の電気的な仕様に応じて支持基板にバイアス電圧を印加しなければならない場合がある。この点、本実施の形態にかかる半導体装置100, 200, 300によれば、ターゲット素子の誘電損失を低減させるために支持基板1に溝Gが形成されるが、支持基板1が全て取り除かれることにはならず、支持基板1へのバイアス電圧印加は可能である。溝Gが形成された支持基板1に対する基板バイアスについては、例えば図10に示したように、支持基板1に直接パッドPbbを設けることによってサポートされる。この場合、半導体装置の裏面側からパッドPbbへ基板バイアス電圧Vbbが印加される。この他、素子形成層群5およびBOX層3を貫通するバイアホール（図示せず）を形成し、

半導体装置の表面側からこのバイアホールを経由して支持基板1に基板バイアス電圧Vbbを印加するようにしてもよい。

## 【0045】

以上のように、本実施の形態にかかる半導体装置の製造方法によれば、支持基板1に溝Gが形成されるため、誘電損失が低減された素子を有する半導体装置を製造することが可能となる。しかも、半導体装置に属する複数の素子の中から任意の1または2以上の素子をターゲット素子またはターゲット素子群として選択して、かかるターゲット素子またはターゲット素子群の誘電損失を低減させることができ可能となる。

## 【0046】

また、本実施の形態にかかる半導体装置の製造方法には、既に製造技術が確立している一般的なシリコン半導体装置の製造方法の各工程をそのまま組み込むことが可能である。したがって、半導体装置の製造にかかるコストが低く抑えられる。さらに、一の基板上に、誘電損失が低減されたターゲット素子群から成る高周波モジュールを形成するとともに、一般的なシリコン半導体装置の製造方法を用いてCMOSデバイス群から成る機能素子ブロックを形成することが可能となる。CMOSデバイス群と高周波モジュールの混載が実現すれば、より多様な機能が創出されることになる。

## 【0047】

添付図面を参照しながら本発明の好適な実施の形態について説明したが、本発明はかかる実施の形態に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

## 【0048】

例えば、溝Gが、支持基板1全体の中の一箇所のみに形成される場合に即して発明の実施の形態を説明したが、複数の溝を形成するようにしてもよい。

## 【0049】

また、支持基板1の所定の範囲を、BOX層3が露出するまで除去する場合に

即して発明の実施の形態を説明したが、溝Gの深さ寸法を誘電損失の低減程度を考慮して設定することも可能である。BOX層3が露出すると、またはBOX層3の露出面が僅かでもエッチングされると、半導体装置の性能が低下するような場合には、BOX層3が露出する前に支持基板1のエッチングを止めることが好ましい。

#### 【0050】

本発明は、支持基板1がシリコン基板である場合に限定されない。例えば、サファイヤ基板であっても本発明の適用は可能である。

#### 【0051】

##### 【発明の効果】

以上説明したように、本発明にかかる半導体装置によれば、支持基板が所定位に溝を有しているため、SOI層に形成されたターゲット素子の誘電損失を最小限に抑えることが可能となる。また、ターゲット素子の誘電損失の低減にあたり、当該ターゲット素子の形成位置に制限されることはない。すなわち、半導体装置のいずれの箇所に配置された素子であっても、当該素子の下に位置する支持基板に溝を形成することによって、当該素子の誘電損失を低減させることが可能となる。

#### 【0052】

本発明にかかる半導体装置の製造方法によれば、支持基板に溝が形成されるため、誘電損失が低減された素子を有する半導体装置が製造されることになる。しかも、半導体装置に属する複数の素子の中から任意の素子をターゲット素子として選択して、かかるターゲット素子の誘電損失を低減させることも容易である。

##### 【図面の簡単な説明】

###### 【図1】

本実施の形態にかかる半導体装置（その1）の構成を示す平面図である。

###### 【図2】

図1の半導体装置のA-A'断面図である。

###### 【図3】

図1の半導体装置の構成を示す斜視図（装置の下方から見る）である。

【図4】

図1の半導体装置の製造方法を説明するための、製造過程にある半導体装置の縦断面図である。

【図5】

図1の半導体装置に属する支持基板の構造を示す縦断面図である。

【図6】

本実施の形態にかかる半導体装置（その2）におけるインダクタの位置および支持基板の形状を示す平面図（装置の表面側から見る）である。

【図7】

図6の半導体装置の形状、およびその製造に用いられるエッチングマスクの形状を示す平面図である。

【図8】

本実施の形態にかかる半導体装置（その3）におけるボンディングパッドの位置および支持基板の形状を示す平面図（装置の表面側から見る）である。

【図9】

図8の半導体装置の形状、およびその製造に用いられるエッチングマスクの形状を示す平面図である。

【図10】

支持基板に対するバイアス電圧印加方法を示す半導体装置の断面図である。

【符号の説明】

- 1：支持基板
- 3：B O X層
- 4：素子分離層
- 5：素子形成層群
- 5-1：素子形成層
- 5 a：S O I層
- 6 a：トランジスタ
- 7：シリサイド
- 9：パッシベーション膜

1 1 : エッチングマスク

2 1 : インダクタ

3 1 : エッチングマスク

3 2 : エッチングマスク

1 0 0, 2 0 0, 3 0 0 : 半導体装置

B P : ボンディングパッド

F B 1, F B 2 : 機能素子ブロック

G : 溝

V H : バイアホール

W L : 配線

X 1 : 第1領域

X 2 : 第2領域

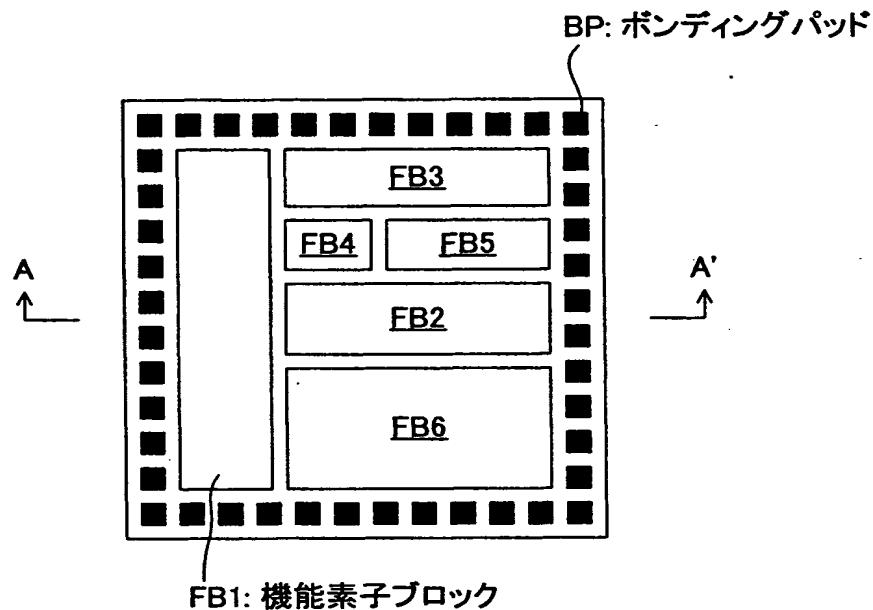
Y 1 : 第1領域

Y 2 : 第2領域

【書類名】 図面

【図1】

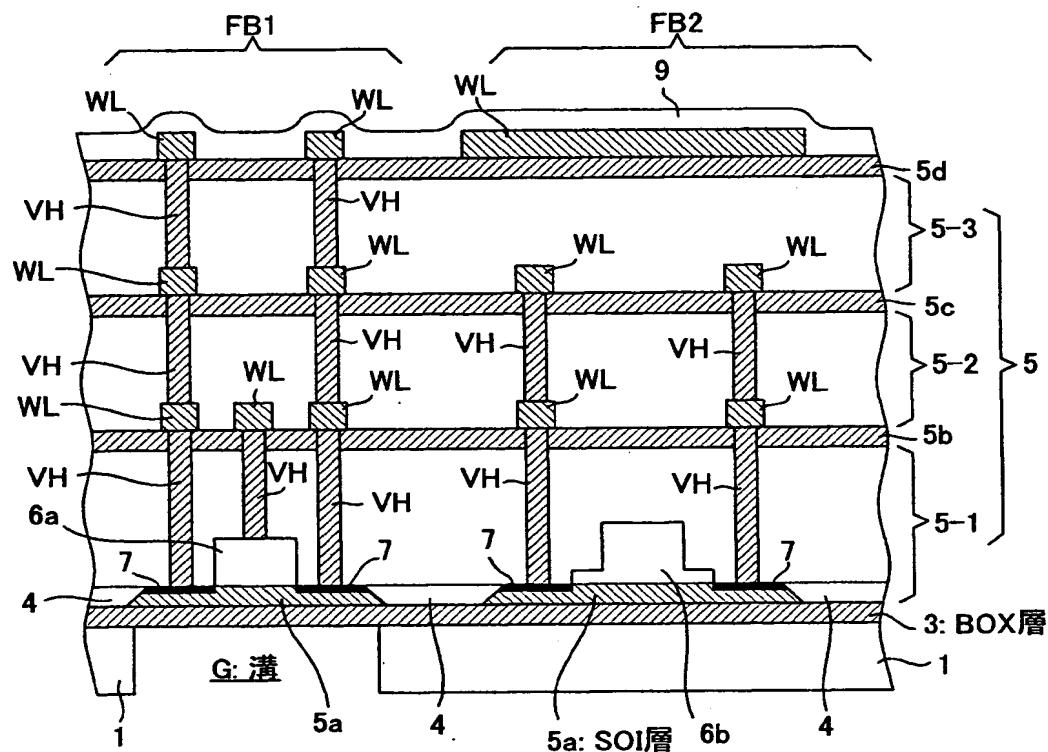
100: 半導体装置



## 【図2】

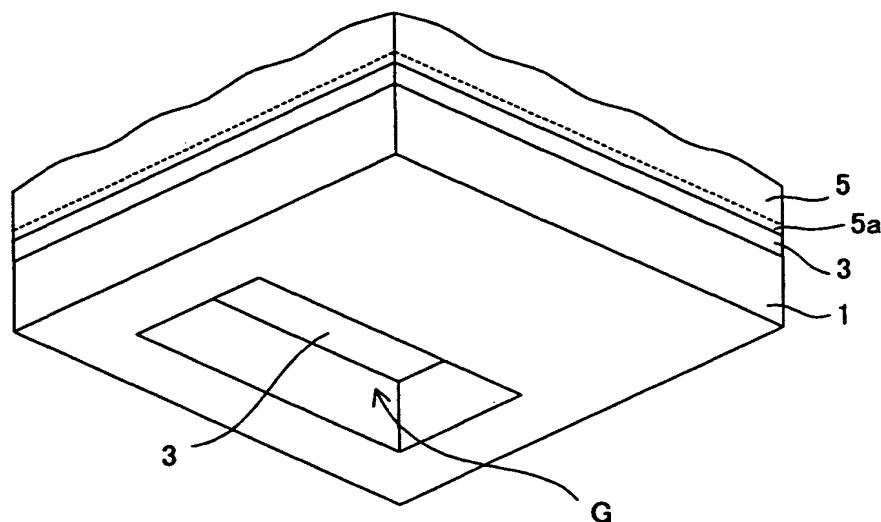
## 100: 半導体装置

### A-A'断面

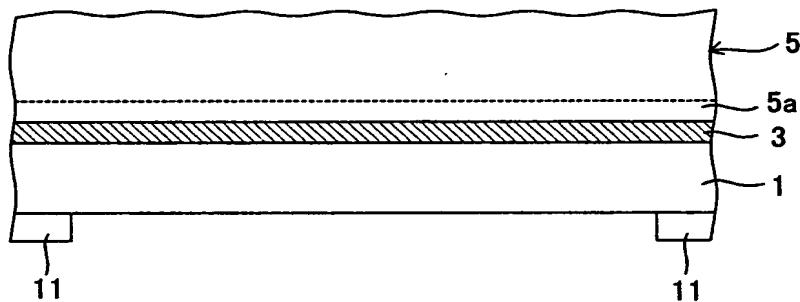


【図3】

100: 半導体装置

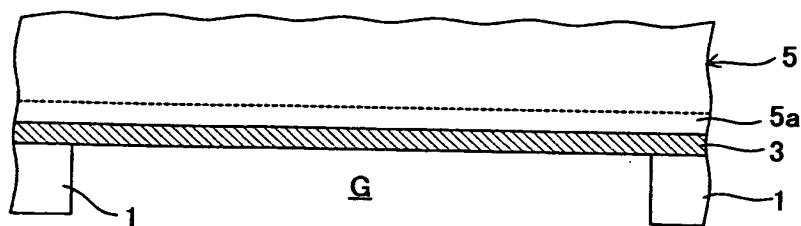


【図4】



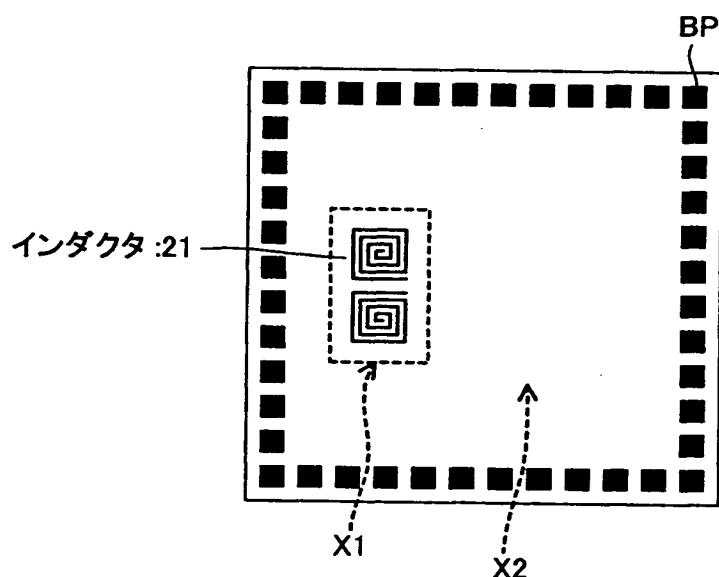
【図 5】

100: 半導体装置



【図 6】

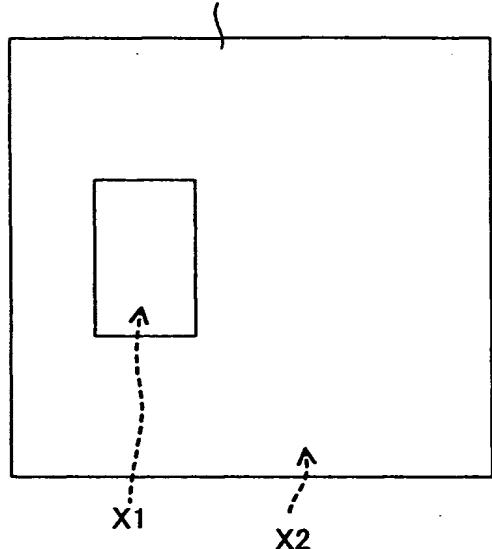
200: 半導体装置



【図7】

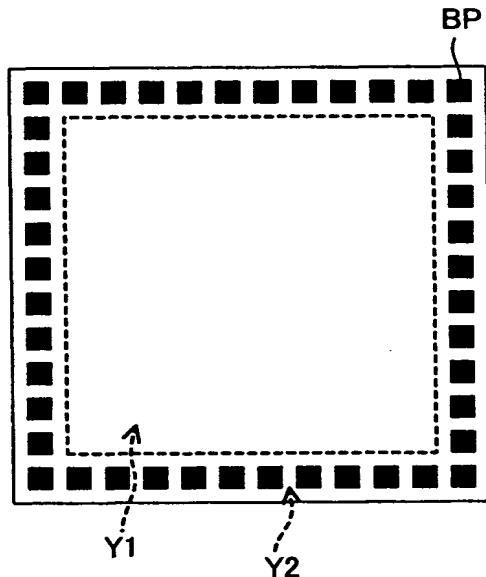
200: 半導体装置

31: エッチングマスク



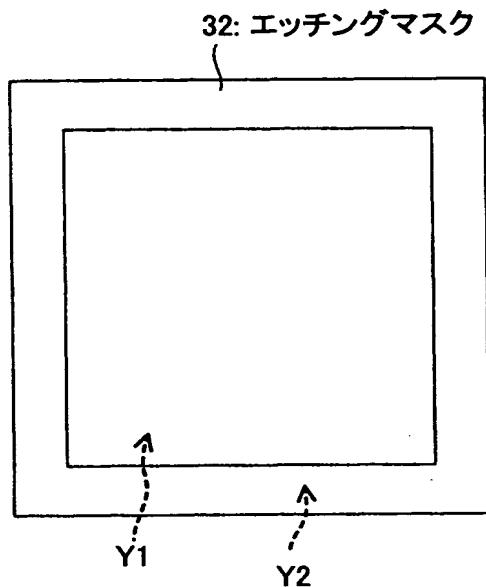
【図8】

300: 半導体装置



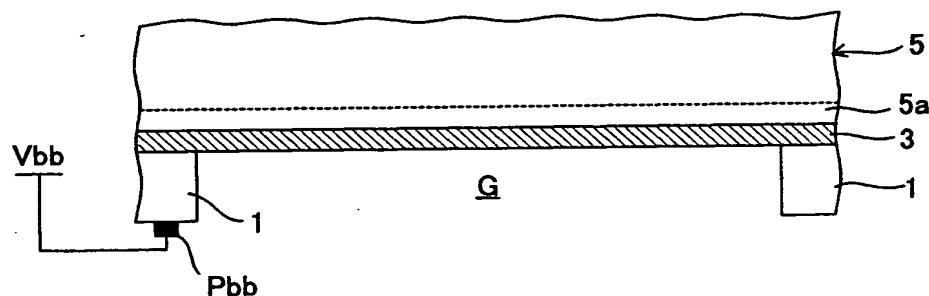
【図9】

300: 半導体装置



【図10】

100,200,300: 半導体装置



【書類名】 要約書

【要約】

【課題】 SOI層に形成された素子の誘電損失をより低減させることが可能な半導体装置およびその製造方法を提供することにある。

【解決手段】 支持基板1の一部を除去して溝Gを形成する。溝Gは、支持基板1による誘電損失が想定される素子の直下に位置するように形成される。溝Gには、誘電体としてのシリコン結晶が薄くしか存在しないか、あるいは全く存在しないため、その上に位置する素子の誘電損失は極めて小さなものとなる。この素子が高周波回路の構成要素であるならば、この高周波回路は、高周波信号の処理に関して、高い応答性や安定性を発揮することになる。

【選択図】 図2

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住所 東京都港区虎ノ門1丁目7番12号  
氏名 沖電気工業株式会社